

Partial English Translation

3 MTCMOS CIRCUIT

3.1 Circuit Structure

MTCMOS is the abbreviation of Multi-Threshold-Voltage. The MTCMOS circuit includes a high threshold voltage MOSFET and a low threshold voltage MOSFET, therefore, has both a higher current drive ability of low V_t transistor and a low leak current characteristics of high V_t transistor. In Fig. 1, a basic structure of MTCMOS is shown, (a) is P-ch type power switch and (b) is N-ch power switch. The circuit in the broken line block is formed by the low V_t transistors. And there is a power switch or sleep control switch having high V_t transistor Q_s is provided between a real power supply line (V_{DD} , V_{SS}) and a pseudo power supply line (V_{DDV} or V_{SSV}). When sleep mode, the power switches turned off so as to avoid a leak current in the sleep mode.

4.2 Balloon type data holding circuit

A balloon type data holding circuit is proposed as Fig. 6. A memory circuit to which a power is always supplied is connected to the portion A in which data should be held in the MTCMOS circuit, so that the memory circuit holds data in the sleep mode on behalf of MTCMOS circuit. Fig. 7 shows the operation of the data holding at the sleep mode. In the active mode, the memory circuit with high V_t is not connected to the data bus, the delay time of the data bus is not increased.

2.1.2.1

MTCMOS技術

1. はじめに

MOSFETのしきい値電圧制御による低電圧高速回路技術のコンセプトは、(1) 通常動作時にはしきい値電圧 (V_t) を低くしてCMOS回路の遅延時間を低減し、高い処理能力を得ること、(2) スタンバイ時には V_t を高くしてサブスレッショルドリーク電流を低減することである。速度性能を維持したまま電源電圧を下げられるため、大幅な低電力化が可能となり、また従来のCMOS回路同様、スタンバイ時にもほとんど電力を消費しない。また、これらの低電圧回路技術では論理回路部が既存のCMOS回路そのものであることから、既存のハードアーキテクチャを変えることなく、任意のLSIを低電力化できる。これは直接的にLSIの開発期間を短縮し、製品の競争力を高める。

このコンセプトを基に、高/低の異なる V_t の実現方法の違いにより、MTCMOS、VTCMOS、Elastic- V_t CMOS (いずれも本書で紹介) 等の低電圧回路技術が提案されている。MTCMOSはプロセス的に高、低の2レベルの V_t のトランジスタを作り込み、回路を構成する。 V_t を制御する特別な付加回路が不要であることから、設計が容易であり、汎用性に優れている。本節ではこれまでに報告されたMTCMOS技術の研究開発動向について概説する。具体的には回路構成・動作、LSI設計手法、パワーマネジメント技術からSOI技術や電源可変回路技術との融合による高性能化について紹介する。

2. 低電圧での回路の動作性能

CMOS論理回路の基本性能を示す以下の近似式を用いてMTCMOS回路にアプローチしよう。

$$\text{消費電力: } P \propto KCV^2f + I_{\text{leak}}V \quad \dots\dots\dots (1)$$

$$\text{ゲート遅延時間: } t_{pd} \propto \frac{CV}{I_{ds}} \propto \frac{CV}{(V - V_t)^{\alpha}} \quad \dots\dots\dots (2)$$

$$\text{サブスレッショルドリーク電流: } I_{\text{leak}} \propto \exp\left(\frac{-V_t}{S/\ln 10}\right) \quad \dots\dots\dots (3)$$

ここで、 K は論理回路のスイッチング確率、 C は負荷容量、 V は電源電圧、 f は動作周波数、 V_t はMOSFETのしきい値電圧、 S はサブスレッショルドスイングで、ゲート・ソース間電圧が V_t 以下の領域での電流電圧特性を表わす値である。 α はデバイス世代に応じて1から2の間の値をとる。式(1)で消費電力 P は第一項の負荷の充放電電力と第二項のサブスレッショルドリーク電流によるスタンバイ電力との和で表わされる。通常、第一項が支配的であり、電源電圧 V を下げることににより2乗に比例して消費電力を低減できる。式(2)より、電源電圧 V を下げるとMOSFETの電流駆動能力が低下し、負荷容量の充放電で決まる論理ゲート遅延時間 t_{pd} は増大するが、ここで電源電圧 V とともに V_t を縮小すれば、遅延時間の増加を抑えられる。すなわち速度性能を維持しながらアクティブ時の充放電電力成分 CV^2f を下げられる。しかし、 V_t の低下は式(3)によりサブスレッショルドリーク電流 I_{leak} を指数関数的に増大させる。 S を100mVとすると、 V_t を300mV下げることにより、 I_{leak} は三桁も大きくなってしまふのである。例えば、通話時間に比べて待ち受け時間が非常に長い携帯電話等の電池駆動携帯機器では、スタンバイ電流の増加は動作時間を延ばす上で重大な問題である。「低 V_t 化により速度性能を維持しつつ、いかにスタンバイリーク電流を低減できるか」。これこそがしきい値電圧制御による低電圧高速回路技術の共通の課題なのである。

3. MTCMOS回路^{1), 2)}

3.1 回路構成

MTCMOSはMulti-Threshold-Voltage CMOSの略で、「マルチしきい値電圧CMOS」と訳される。高、低のしきい値電圧(V_t)のMOSFETで構成されるCMOS回路であり、低 V_t トランジスタの高い電流駆動能力と、高 V_t トランジスタの低リーク性の相反する両者の長所を併せ持たせる。0.5 μm デバイスでは、高 V_t は0.6V、低 V_t は0.3V程度である。図1にMTCMOS回路の基本構成を示す。(a)がP-ch、(b)がN-chパワースイッチ型である。破線内のCMOS論理回路は低 V_t トランジスタで構成され、電源端のいずれか一方が疑似電源線(V_{DDV} か V_{SSV})に接続される。真の電源線(V_{DD} , V_{SS})と疑似電源線(V_{DDV} , V_{SSV})の間に、パワースイッチ、スリープ

制御スイッチ等と呼ばれる高 V_t のトランジスタ Q_s が接続される。MTCMOSには「アクティブ」、「スリープ」の二つの動作モードがあり、それらの切り替えは Q_s のゲートの信号(SL , SLN)により制御される。(a)のPチャネル型パワースイッチ構成を例として、各モードでの回路動作を説明しよう。通常動作時はアクティブモードとし、制御信号 SL を低レベルにする。 Q_s は導通し、疑似電源線 V_{DDV} は電源線として働く。CMOS論理回路は低 V_t トランジスタで構成されているので、1V以下の低電圧でも高速に動作する。待機時には SL を高レベルにして、スリープモードに移行する。遮断状態の高 V_t トランジスタ Q_s

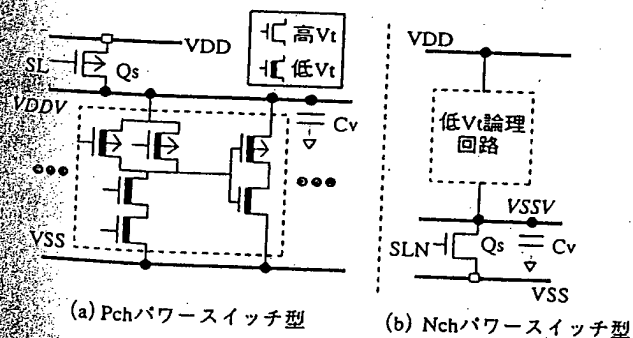
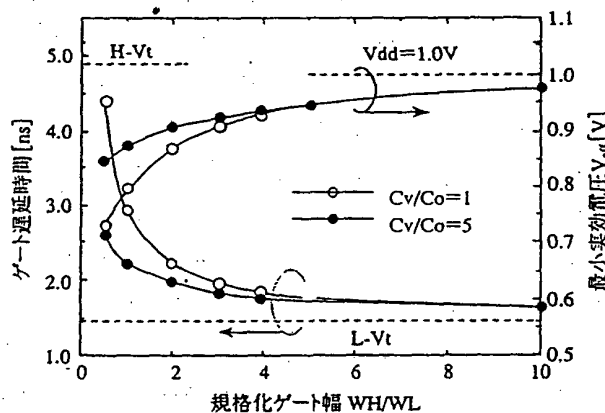


図1
MTCMOS回路

により $V_{DD}-V_{SS}$ 間のリーク電流パスが切断されるため、論理回路部が低 V_t トランジスタで構成されているにもかかわらず、サブスレッショルドリーク電流を大幅に低減できる。例えば、高低の V_t の差を $0.3V$ にすると、3桁から4桁、スタンバイ電流を下げられる。

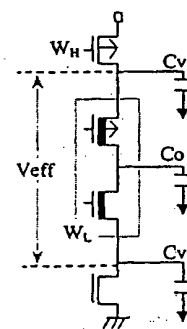
パワースイッチの構成については、基本的にNチャネル型、Pチャネル型に分けられる。一般に、Nチャネル型MOSFETはPチャネル型に比べて電流駆動能力が大きく、パワースイッチとしての特性には優れているため、所望の電流供給能力を満足するパワースイッチの占有面積を小さくできる。実際にはその他のファクタも考慮して、パワースイッチ構成は決定される。5.2でも述べるが、MTCMOS LSIは既存のCMOS LSI用のスタンダードセルレイアウトを用いても構成できる。ただし、通常のCMOSセルレイアウトでは電源端（ソース端）とボディ端が接続されているため、スリープ制御により疑似電源線への電力供給を断った際、ボディ電位もフローティング状態を維持できなければならない。例えばP型ウェーハ上のツインウェル構造の場合、N型ウェルがフローティングになることは問題ないが、P型ウェルをフローティングさせることはできない。P型ウェルはグランド電位に強制固定されるP型基板と同電位であるためである。したがって、この例ではNウェルが疑似電源線 ($V_{DD}V$) と接続されることを前提とした、 V_{DD} 側のPチャネル型パワースイッチ構成が必須となる。また、後で述べる記憶保持用のいくつかの回路についてはP/N型両方のスイッチが必要な場合もあり、それらについては個々に理由を述べる。

MTCMOS回路の速度性能はさらに2つの要素の影響を受ける。パワースイッチ Q_s のゲート幅と疑似電源線容量 C_v である。パワースイッチは、アクティブモードにおいて疑似電源線に電力を供給する役割をもつ。そのゲート幅が大きく設定され、十分な電流供給能力を持たせられれば、疑似電源線の電圧降下による速度劣化を抑えられる。また、疑似電源線容量はテンポラリな電荷供給源となるため、CMOS回路のスイッチングに伴う疑似電源線電位の変動を抑え、回路動作を安定化する。これらの影響をシミュレーションした結果を図2に示す。(a) がゲート遅延時間および論理回路の実効動作電圧 V_{eff} のパワースイッチ幅依存性である。 V_{eff} は $V_{DD}V-V_{ss}V$



規格化ゲート幅 W_H/W_L

(a) シミュレーション結果



(b) 回路モデル

図2

スリープ制御トランジスタサイズ、容量の影響 (1), (2)

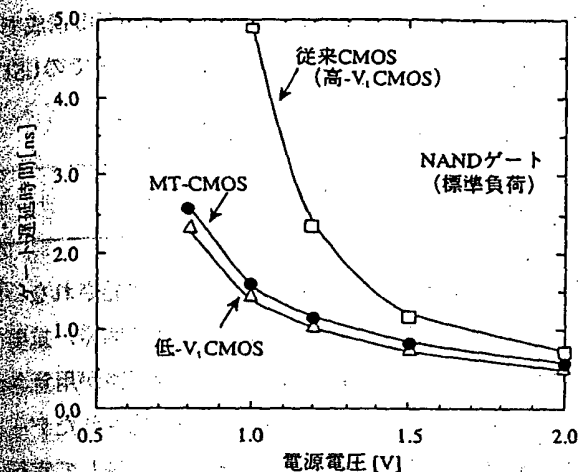


図3
NANDゲート遅延時間の電源電圧依存性^{1), 2)}

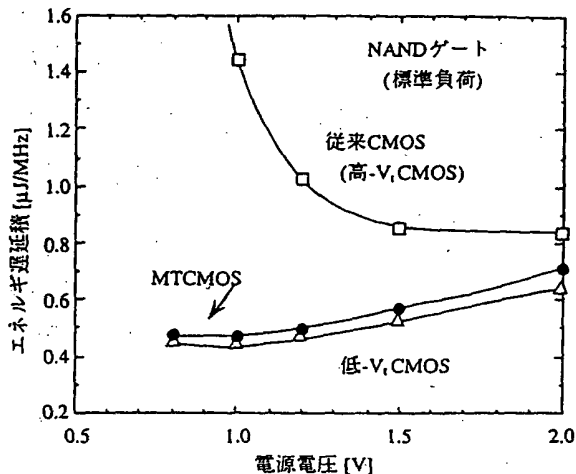


図4
エネルギー遅延積の電源電圧依存性^{1), 2)}

間の瞬時最低電位として定義した。(b) がシミュレーション回路であり、ここでは高/低電位側両方にパワースイッチが挿入された構成を対象とした。パワースイッチ幅 W_H を大きく設定することにより、 V_{eff} の低下が抑制され、単純な低 V_t CMOS回路とほぼ同じ速度性能を実現できる。また、パワースイッチサイズが小さい領域では、擬似電源容量が速度性能の改善に寄与する。実際のLSI設計において、パワースイッチは各々の論理回路毎に配置するのではなく、多数の論理回路で共有する構成となる。その詳細については5.2で述べる。

3.2 速度消費電力特性

図3は0.5 μ mプロセスによるMTCMOS NAND回路の遅延時間の測定結果である^{1), 2)}。従来CMOS回路(高 V_t 構成)に比べ、1V動作での遅延時間は約70%低減され、低 V_t CMOSゲートと同程度の高速性が得られている。

エネルギー遅延積(ED積)の電源電圧依存性を図4に示す^{1), 2)}。特に電源電圧1.5V以下の領域では、MTCMOSのED積は高 V_t 構成に比べて非常に小さくなり、1V近傍で最小になる。低電圧での速度性能改善と電圧の2乗に比例した消費エネルギーの低減効果の結果である。なお、MTCMOS回路の特長として、スリープモードでの3~4桁程度のスタンバイ電流の低減も実測で確認されている。

これらの結果を基に、低 V_t ベースの高速回路技術を導入する意味をまとめておこう。速度重視設計の場合、低 V_t 化により従来電圧動作(3V)時と同じ速度性能を保ちながら、消費電力を低減するように電源電圧を低く設定する。例えば2V近辺で同じ速度での動作が可能であれば、1/2の低電力化になる。また、電池一本での直接駆動が必須である等、電圧重視、電力重視の設計もある。MTCMOS化によって低電圧での速度劣化を小さくできるのはもちろんだが、より重要なことは図3で明らかのように遅延時間の電源電圧依存性を小さくできることである。ニッケル水素電池などの二次電池一本の電圧である1.2V動作の場合、電池の放電特性にしたがって0.9V程度まで動作を保証しなければならない。従来の高 V_t CMOS回路では3倍もの速度

性能劣化を見越した設計を行わなければならなかった。一方、MTCMOS構成では、10%の速度劣化を考えればよい。低 V_t 化により初めて1V近傍の低電圧でのLSI設計が現実的なものになるのである。

4. パフォーマンス対応のデータ保持回路

MTCMOS回路のように電力供給が制御されるLSIでは、電力が供給されない間もデータを保持できるようなラッチ、フリップフロップ (FF) 回路の開発が重要である。マイクロプロセッサを例として考えると、もしも特別な保持回路が用意されていない場合、スリープ期間中にLSI内のレジスタやSRAM内に記憶されたデータはすべて消えてしまうため、その後、電源供給を再開しても、処理は継続して実行できない。もちろんスリープ前後に、システムレベルでレジスタやメモリの内容を外部メモリやハードディスクへ保存するようなデータ保持が可能である。しかし信号処理を再開する際には、保存したデータ群をLSI内に再ロードしなければならず、スリープ制御自体に必要な処理が増大し、時間的／電力的な無駄が大きくなる。一方、LSI内の個別回路レベルでスリープ時にデータを保持し、回路の状態を保存できれば、信号処理を継続して行うことができ、時間的にも空間的にもきめ細かなパワーマネジメントが可能となる。例えば、ひとつのLSIの中でスリープ制御対象ブロックを複数に分け、使われていないブロックは即座にスリープ状態に移行するようなパワーマネジメントも可能であり、より低電力な特性を得る有効な手段となりうる。

4.1 MTCMOS基本データ保持回路^{1,2)}

図5 (a) にMTCMOSラッチ回路を示す。各回路を V_{DD} 電源に直結することによりスリープモードでのデータ保持を可能とした。データバス部はMTCMOSインバータG1と低 V_t 伝達ゲートTGで構成され、高速に動作する。G1と並列に、新たに高 V_t 構成のインバータG3を追加した。スリープ時にはSL, SLN信号により低 V_t のG1を動作させず、G2とG3のラッチパスにより、低リーク状態でデータを保持する。G1

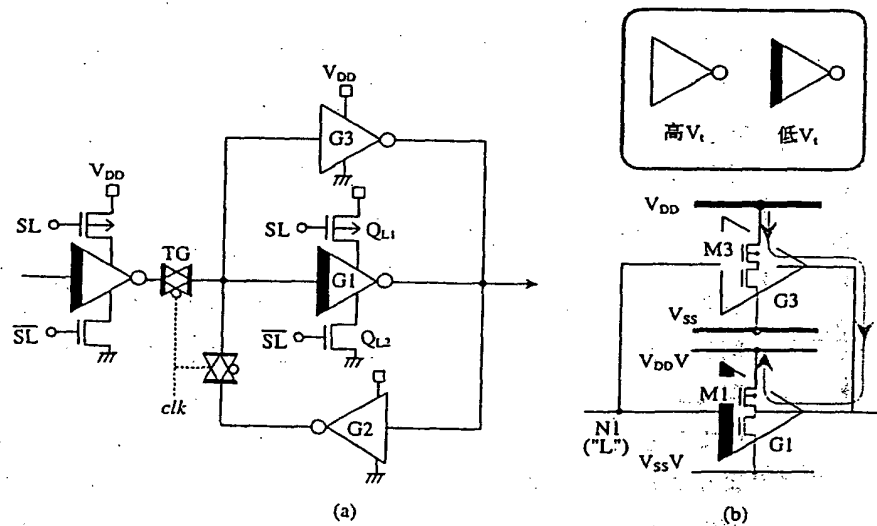


図5
MTCMOS ラッチ回路¹⁾

にはローカルなパワースイッチ Q_{L1} , Q_{L2} が挿入されている。仮に、組み合わせ回路と同様に $G1$ 電源端を疑似電源線 V_{DDV} に接続すると、同図(b)に示すように V_{DD} と V_{DDV} の間に共通パワースイッチをバイパスするショートパスが形成されてしまう(n 点が低電位の場合)。また、スリープ期間中の $G1$ の出力に保持されるデータにより V_{DD} 側、 V_{SS} 側のどちらでリークパスを切断するかが変わるため、二つのローカルなパワースイッチが必要となる。 $G1$ の駆動力を高めるためには、ローカルパワースイッチサイズを大きくする必要があり、純粋なCMOS回路に比べて2倍程度の面積を要する。

4.2 バルーン型データ保持回路³⁾

前回路の問題であった面積とデータバス遅延の改善を図るために、図6のバルーンコンセプトが提案されている。MTCMOS回路上のデータを保持したい部分Aに常時給電される高 V_t トランジスタのメモリ回路を接続し、スリープモード中、電力が供給されないMTCMOS回路の代わりにデータを保持させるものである。

スリープ時のデータ保持動作を図7に示す。メモリ回路とMTCMOS回路は $B1$, $B2$ 信号により制御される伝達ゲート $TG1 \sim 3$ で接続される。アクティブ時(active), $TG2$ はオフし、高 V_t 構成のメモリ回路はMTCMOS回路から切り離される。制御を簡単にするために $TG1$ をオフさせているが、ノード N の電位は $TG1$ の低 V_t トランジスタのリーク電流により保持される。(2) アクティブ→スリープ移行時(sleep in), $TG2$ はオンし、データがメモリ回路に書き込まれる。(3) スリープ時, $TG2$ がオフ, $TG1$ がオンすることにより、データは常時給電のメモリ回路で保持される。(4) スリープ→アクティブ移行時(sleep out), $TG2$ がオンし、データがMTCMOS回路に戻される。ここで $TG3$ はオフされ、データのリストア動作が乱されない

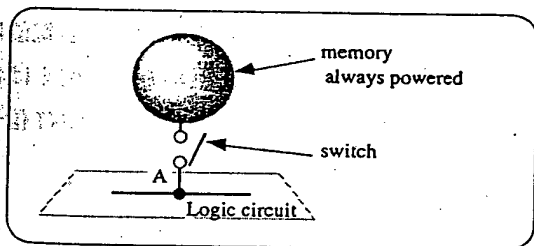


図6

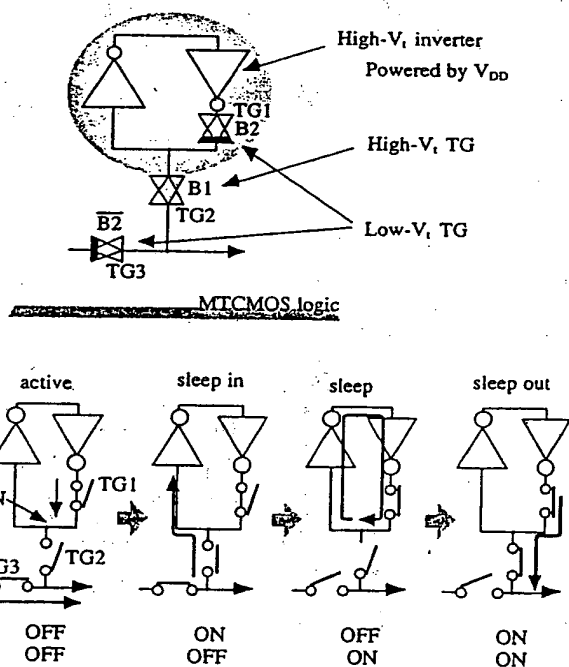
バルーンコンセプト³⁾

図7

データ保持動作³⁾

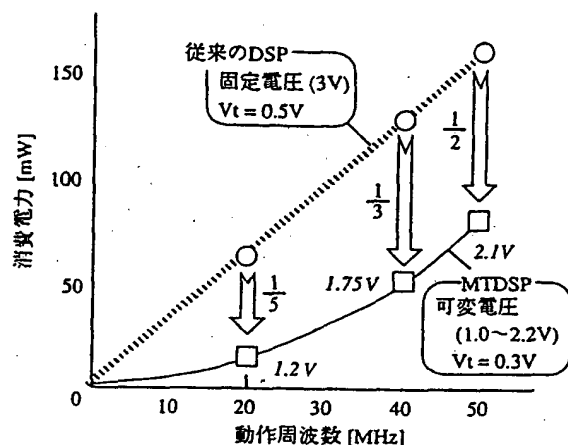


図19
パワーマネジメント手法の効果¹⁶⁾

動作実現に必要な最低電圧を自動的に決定し、DC/DC変換回路から出力として論理回路に供給する。動作周波数と電源電圧低減の総合効果により、必要最小限の電力をLSIに供給できるのである。最低電圧を決定するための新規な要素回路として、DSP部のクリティカルパス遅延を模擬するための可変遅延回路 (VDM)、VDMの動作電圧の供給とDC/DCコンバータへの目標変換電圧の指示を役割とする最小電圧検出回路 (ILVD) が提案されている。図19に本パワーマネジメントの効果を示す。従来DSPの3V動作時の最大周波数40MHzを電源電圧2.1Vで実現できるため、電力は1/2に低減できる。また、動作周波数を20MHzで動作させる場合には、電源電圧を1.2Vまで下げることができ、1/5の低電力化が可能となっている。

参考文献

- 1) S.Mutoh, T.Douseki, Y.Matsuya, T.Aoki, S.Shigematsu, and J.Yamada: "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS," *IEEE J. Solid-State Circuits* 30 [8], pp. 847-854 (1995).
- 2) 武藤, 道関, 松谷, 重松, 山田: 低電圧時代の高速回路技術 MTCMOS, 電子情報通信学会 回路とシステム 軽井沢ワークショップ, pp.221-226 (1996).
- 3) S.Shigematsu, S.Mutoh, Y.Matsuya, Y.Tanabe and J.Yamada: "A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits," *IEEE J. Solid-State Circuits*, 32 [6] pp.861-869 (1997).
- 4) H.Akamatsu, T.Iwata, H.Yamamoto, T.Hirata, H.Yamauchi, H.Kotani and A.Matsuzawa: "A Low Power Data Holding Circuit with an Intermittent Power Supply Scheme for Sub1V MTCMOS LSIs," *Symp.on VLSI Circuits Dig.Tech. Papers*, pp 14-15 (1996).
- 5) 赤松, 岩田, 山本, 平田, 山内, 小谷, 松澤: 間欠的電源接続方式による1V動作MTCMOSデータ保持回路, 信学技報 SDM96-79, pp.17-23 (1996).
- 6) S.Date, N.Shibata, S.Mutoh and J.Yamada: "1V 30MHz Memory-macrocell-circuit Technology with a 0.5 mm Multi-Threshold CMOS," in *Symp. on Low Power Electronics*, 9.3 (1994).
- 7) T.Douseki, S.Mutoh, T.Ueki and J.Yamada: "Soft Error Immunity of 1-Volt CMOS Memory Cells with MTCMOS Technology," *Proc. IEEE 1995 Int.Conf.On Microelectronic Test Structures*, [8] (1995).
- 8) 後藤, 田辺, 渡辺, 羽田野, 松谷, 武藤, 溝口, 鈴木: 「0.25mm SIMOX/MTCMOS技術による290Kゲート, 1V, 100MHz動作ULSIの設計」 信学技報 SDM97-31, pp.9-16 (1997).
- 9) S.Mutoh, S.Shigematsu, Y.Matsuya, H.Fukuda, T.Kaneko, J.Yamada: "A 1-V Multithreshold-Voltage CMOS Digital Signal Processor for Mobile Phone Application," *IEEE J. Solid-State Circuits*, 31 [11] pp.1795-1802 (1996).
- 10) S.Shigematsu, S.Mutoh, Y.Matsuya: "Power Management Technique for 1-V LSIs using Embedded Processor," *Custom Integrated Circuits Conf. Proc.*, pp. 111-114 (1996).
- 11) 重松, 武藤, 松谷: 「エンベデッドプロセッサによる低電圧高速LSI対応パワーマネジメント手法の提案」 信学技報 SDM96-29, pp.21-26 (1996).
- 12) M.Izumikawa, H.Igura, K.Furuta, H.Itoh, H.Wakabayashi, K.Nakajima, T.Mogami, T.Horiuchi and M.Yamashina: "A 0.9 V, 100 MHz, 4 mW, 2 mm² 16 b DSP core," *ISSCC Dig. Tech. Papers*, pp. 84-85 (1994).



Creation date: 08-27-2003

Indexing Officer: EGEDLU-~~ESKINDER GEDLU~~ ET

Team: OIPEScanning

Dossier: 10647433

Legal Date: 08-26-2003

No.	Doccode	Number of pages
1	TRNA	2
2	SPEC	26
3	CLM	4
4	ABST	1
5	DRW	21

Total number of pages: 54

Remarks:

Order of re-scan issued on